



2621 #4

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventors: Hisao Sato, et al.

Group Art Unit: 2621

Serial No.: 09/726,801

Examiner: Not Yet Assigned

Filed: November 29, 2000

Title: LENGTH CALCULATION AND DETERMINATION DEVICE, ANGLE
CALCULATION AND DETERMINATION DEVICE AND IMAGE DETERMINATION
SYSTEM

CERTIFICATE OF MAILING

I hereby certify that this correspondence and the documents referred to as attached herein are being deposited with the United States Postal Service on this date in an envelope as "First Class Mail" service addressed to the Assistant Commissioner for Patents, Washington, DC 20231.

Date: July 9, 2001


Ann F. George

RECEIVED

SUBMISSION OF PRIORITY DOCUMENTS

Assistant Commissioner for Patents
Washington, D.C. 20231

JUL 13 2001

Technology Center 2600

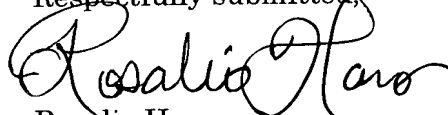
Sir:

Enclosed are the certified copies of the Japanese patent applications listed below. The claim of priority under 35 USC §119 in the above-identified application is based on these Japanese patent applications.

Japanese Patent Applications

<u>Number</u>	<u>Date Filed</u>
2000-212618	July 13, 2000
2000-170271	June 7, 2000
11-209314	July 23, 1999
11-338157	November 29, 1999

Respectfully submitted,



Rosalio Haro
Attorney for Applicants
Registration No. 42,633

Please address all correspondence to:
Epson Research and Development, Inc.
Intellectual Property Department
150 River Oaks Parkway, Suite 225
San Jose, CA 95134
Customer No. 20178
Phone: (408) 952-6000
Fax: (408) 954-9058

Date: July 9, 2001

Submission of Priority Documents With Postcard
Customer No. 20178

REV 11/97



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2000年 7月13日

出 願 番 号
Application Number:

特願2000-212618

出 願 人
Applicant(s):

セイコーエプソン株式会社

RECEIVED

JUL 13 2001

Technology Center 2600

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 6月 5日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-30517

【書類名】 特許願

【整理番号】 EP-0270101

【提出日】 平成12年 7月13日

【あて先】 特許庁長官殿

【国際特許分類】 H03K 5/04

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 青木 茂樹

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 上條 治雄

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100090479

 【弁理士】

 【氏名又は名称】 井上 一

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090387

 【弁理士】

 【氏名又は名称】 布施 行夫

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090398

 【弁理士】

【氏名又は名称】 大 瀧 美千栄

【電話番号】 03-5397-0891

【先の出願に基づく優先権主張】

【出願番号】 平成11年特許願第209314号

【出願日】 平成11年 7月23日

【先の出願に基づく優先権主張】

【出願番号】 特願2000-170271

【出願日】 平成12年 6月 7日

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路、液晶装置及び電子機器並びに半導体集積回路の検査方法

【特許請求の範囲】

【請求項 1】 少なくとも電源投入直後に入力される入力信号に基づいて、リセット期間を有するリセット信号を生成するリセット信号生成回路と、
前記リセット信号に基づいて、ラッチ出力を初期化する初期化回路を備えた少なくとも一つのラッチ回路と、

前記リセット信号生成回路に接続された第 1 のパッド端子と、

前記初期化回路の出力線に接続された少なくとも一つの第 2 のパッド端子と、
を有し、

前記リセット信号生成回路は、前記リセット信号の前記リセット期間に相当するパルス幅を可変設定する遅延回路を有し、

前記遅延回路は、前記第 1 のパッド端子に接続される負荷に従って前記パルス幅を可変としたことを特徴とする半導体集積回路。

【請求項 2】 請求項 1 において、

前記第 1 のパッド端子は、前記遅延回路の出力線に接続されていることを特徴とする半導体集積回路。

【請求項 3】 請求項 1 において、

前記第 1 のパッド端子は、前記遅延回路の入力線に接続されていることを特徴とする半導体集積回路。

【請求項 4】 請求項 1 乃至 3 のいずれかにおいて、

前記初期化回路の出力線に接続されたヒューズ素子をさらに有し、前記ヒューズ素子のオープンまたはショート状態によって、前記ラッチ出力の論理が決定されることを特徴とする半導体集積回路。

【請求項 5】 請求項 1 乃至 4 のいずれかにおいて、

前記リセット信号生成回路を構成する複数の回路素子のうち、前記第 1 のパッド端子が接続される位置の前段の回路素子の出力インピーダンスを R_1 とし、前

記第 1 のパッド端子に接続される負荷容量を C_1 とし、前記初期化回路の出力インピーダンスを R_2 とし、前記第 2 のパッド端子に接続される負荷容量を C_2 としたとき、

$C_1 \cdot R_1 > C_2 \cdot R_2$ の関係が成立することを特徴とする半導体集積回路。

【請求項 6】 請求項 1 乃至 5 のいずれかにおいて、

前記リセット信号生成回路は、前記入力信号と、前記入力信号を前記遅延回路にて遅延させた遅延信号とから前記リセット期間のパルス幅を有するワンショットのリセット信号を生成するワンショットパルス生成回路を含むことを特徴とする半導体集積回路。

【請求項 7】 請求項 1 乃至 5 のいずれかにおいて、

前記リセット信号生成回路は、

前記入力信号に基づいてワンショットパルスを生成するワンショットパルス生成回路と、

前記遅延回路を含み、前記ワンショットパルスのパルス幅を前記第 1 のパッド端子に接続される負荷に従って可変とするパルス幅可変回路と、

を有することを特徴とする半導体集積回路。

【請求項 8】 請求項 1 乃至 7 のいずれかにおいて、

前記入力信号は、前記電源投入直後から電源切断までの間に、前記リセット信号生成回路に複数回入力されることを特徴とする半導体集積回路。

【請求項 9】 請求項 8 において、

パワーオンリセット信号と他の信号との論理和をとる論理和回路をさらに有し、前記論理和回路の出力信号が前記リセット信号生成回路への前記入力信号であることを特徴とする半導体集積回路。

【請求項 10】 請求項 1 乃至 9 のいずれかにおいて、

前記ラッチ出力に基づいて、基準電圧を生成する基準電圧生成回路をさらに有することを特徴とする半導体集積回路。

【請求項 11】 請求項 10 において、

前記基準電圧生成回路からの出力電圧に基づいて、複数レベルの液晶駆動電圧を生成する液晶駆動電圧生成回路をさらに有することを特徴とする半導体集積回

路。

【請求項 1 2】 請求項 1 乃至 9 のいずれかにおいて、
前記ラッチ出力に基づいて、基準周波数を発振する基準周波数発振回路をさらに有することを特徴とする半導体集積回路。

【請求項 1 3】 請求項 1 2 において、
前記基準周波数発振回路からの出力周波数を、液晶を交流駆動するための交流化信号として用いることを特徴とする半導体集積回路。

【請求項 1 4】 請求項 1 乃至 1 3 のいずれかに記載の半導体集積回路にて構成される液晶ドライバ IC と、

前記液晶ドライバ IC により駆動される液晶パネルと、
を有することを特徴とする液晶装置。

【請求項 1 5】 請求項 1 4 に記載の液晶装置を有することを特徴とする電子機器。

【請求項 1 6】 半導体集積回路の複数のパッド端子にプローブ針をコンタクトする第 1 工程と、

前記複数のパッド端子中の第 1 のパッド端子に接続される負荷に従って決定されるパルス幅を有するリセット信号を、前記半導体集積回路内のリセット信号生成回路にて生成する第 2 工程と、

初期化回路を有する少なくとも一つのラッチ回路にて、前記リセット信号に基づいてラッチ出力を前記初期化回路により初期化する第 3 工程と、

前記複数のパッド中の第 2 のパッドを介して、前記初期化回路の出力電圧をモニタする第 4 工程と、

を有することを特徴とする半導体集積回路の検査方法。

【請求項 1 7】 請求項 1 6 において、
初期化されたラッチ出力に基づいて設定される基準信号をモニタする第 5 工程と、

前記第 5 工程でのモニタ結果に基づいて、前記初期化回路の出力線に接続されたヒューズ素子を切断する第 6 工程と、

をさらに有することを特徴とする半導体集積回路の検査方法。

【請求項 1 8】 請求項 1 7 において、

前記第 6 工程後に、切断された前記ヒューズ素子により変更された前記初期化回路の出力を、前記第 2 のパッド端子を介してモニタする第 7 工程をさらに有することを特徴とする半導体集積回路の検査方法。

【請求項 1 9】 請求項 1 7 または 1 8 において、

前記第 5 工程にてモニタされる基準信号は、複数レベルの液晶駆動電圧を生成するための基準となる電圧であることを特徴とする半導体集積回路の検査方法。

【請求項 2 0】 請求項 1 7 または 1 8 において、

前記第 5 工程にてモニタされる基準信号は、液晶を交流駆動するための交流化信号であることを特徴とする半導体集積回路の検査方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体集積回路、液晶装置及び電子機器並びに半導体集積回路の検査方法に関する。

【0 0 0 2】

【背景技術及び発明が解決しようとする課題】

この種の半導体集積回路では、例えばパワーオンリセット信号に基づいて、ラッチ回路の出力を初期化しているものがある。そして、そのラッチ回路の出力に基づいて、半導体集積回路が適正に動作するための電圧、周波数などを設定することができる。半導体集積回路は、素子のばらつきにより性能が異なってしまう。これを解消するために、工場から半導体集積回路を出荷する前に、個々の半導体集積回路にて適正な駆動条件が得られるように、ラッチ回路の出力を例えばヒューズ素子の切断等によって調整している。

【0 0 0 3】

この種の調整は、個々の半導体集積回路に分断される前の半導体ウエハをプローブ装置にセットすることで実施される。すなわち、プローブ装置では、半導体ウエハ上のチップの全パッド端子にプローブ針をコンタクトさせて、各チップの電氣的測定をテストにて実施している。

【 0 0 0 4 】

ところが、ウエハ状態での調整では、半導体集積回路内のラッチ回路を正常に動作させることができず、半導体集積回路内にて生成される基準電圧、基準周波数を適正範囲に調整することができない場合があった。

【 0 0 0 5 】

本発明者等は、この原因を鋭意追求した結果、ウエハ状態等での調整時と、半導体集積回路の実使用時とで、半導体集積回路の駆動条件が異なることに起因していることを見出した。

【 0 0 0 6 】

そこで、本発明の目的は、ウエハ状態等での調整時と出荷後の実使用時とで駆動条件が異なる場合であっても、いずれの場合もラッチ回路を適正に動作させることができる半導体集積回路、液晶装置及び電子機器並びに半導体集積回路の調整方法を提供することを目的とする。

【 0 0 0 7 】

【課題を解決するための手段】

本発明の一態様に係る半導体集積回路は、少なくとも電源投入直後に入力される入力信号に基づいて、リセット期間を有するリセット信号を生成するリセット信号生成回路と、前記リセット信号に基づいて、ラッチ出力を初期化する初期化回路を備えた少なくとも一つのラッチ回路と、前記リセット信号生成回路に接続された第1のパッド端子と、前記初期化回路の出力線に接続された少なくとも一つの第2のパッド端子とを有する。前記リセット信号生成回路は、前記リセット信号の前記リセット期間に相当するパルス幅を可変設定する遅延回路を有する。この遅延回路は、前記第1のパッド端子に接続される負荷に従って前記パルス幅を可変する。

【 0 0 0 8 】

本発明の一態様によれば、半導体集積回路が電子機器に組み込まれた通常使用時には、第1、第2のパッド端子は使用されないもので、これに接続される負荷は存在しない。よって、初期化回路がその初期化動作に要する時間は短く、遅延回路によって設定されるリセット期間も短くなる。半導体集積回路の検査時には、

第 1, 第 2 のパッド端子はプローブ針、ケーブルを介してテスターに接続され、それらに接続される負荷容量が増大する。よって、初期化回路がその初期化動作に要する時間が長くなるが、それに合わせて遅延回路にて設定されるリセット期間も長くなる。よって、いずれの場合もリセット期間内に初期化動作を実施でき、しかも遅延回路の面積を増大させる必要もない。

【 0 0 0 9 】

ここで、第 1 のパッド端子は遅延回路の出力線に接続されてもよいし、あるいは遅延回路の入力線に接続されてもよい。第 1 のパッド電極に接続される負荷に応じて、遅延回路にてパルス幅を可変できるからである。

【 0 0 1 0 】

初期化回路の出力線にヒューズ素子を接続し、そのヒューズ素子のオープンまたはショート状態によって、ラッチ出力の論理を決定するようにしても良い。

【 0 0 1 1 】

ここで、リセット信号生成回路を構成する複数の回路素子のうち、第 1 のパッド端子が接続される位置の前段の回路素子の出力インピーダンスを R_1 とし、第 1 のパッド端子に接続される負荷容量を C_1 とし、初期化回路の出力インピーダンスを R_2 とし、第 2 のパッド端子に接続される負荷容量を C_2 としたとき、

$C_1 \cdot R_1 > C_2 \cdot R_2$ の関係が成立することが好ましい。

こうすると、初期化回路が初期化に要する動作時間よりも、リセット期間を確実に長く設定できるからである。

【 0 0 1 2 】

リセット信号生成回路は、入力信号と、その入力信号を遅延回路にて遅延させた遅延信号とから、リセット期間に相当するパルス幅を有するワンショットのリセット信号を生成するワンショットパルス生成回路を含むことができる。

【 0 0 1 3 】

これに代えて、リセット信号生成回路は、入力信号に基づいてワンショットパルスを生成するワンショットパルス生成回路と、そのワンショットパルスのパルス幅を第 1 のパッド端子に接続される負荷に従って遅延回路にて可変とするパルス幅可変回路とを含んでも良い。

【 0 0 1 4 】

入力信号は、電源投入直後から電源切断までの間に、リセット信号生成回路に複数回入力されることが好ましい。ノイズ等によって、初期化されたラッチデータが変わってしまうことがある。このような場合でも、そのラッチデータの変更後に入力される入力信号に基づいて、ラッチ出力を再度初期化することができる。

【 0 0 1 5 】

このためには、パワーオンリセット信号と他の信号との論理和をとる論理和回路をさらに設けることが好ましい。この論理和回路の出力信号がリセット信号生成回路へ入力されれば、ノイズの悪影響を解消できる。

【 0 0 1 6 】

このように、確実に初期化されたラッチ出力に基づいて、基準電圧を生成する基準電圧生成回路を半導体集積回路に設けることができる。さらには、その基準電圧生成回路からの出力電圧に基づいて、複数レベルの液晶駆動電圧を生成する液晶駆動電圧生成回路を設けることができる。液晶駆動電圧は、画質に直に影響するので高い精度が求められるが、本発明により高精度の液晶駆動電圧を生成できる。

【 0 0 1 7 】

この他、確実に初期化されたラッチ出力に基づいて、基準周波数を発振する基準周波数発振回路を半導体集積回路内に設けても良い。さらには、その基準周波数発振回路からの出力周波数を、液晶を交流駆動するための交流化信号として用いることができる。液晶の交流化信号の周波数も、画面のちらつきなどに影響するため高い精度が求められるが、本発明により高精度の交流化信号を生成できる。

【 0 0 1 8 】

以上のような半導体集積回路にて構成される液晶ドライバＩＣと、その液晶ドライバＩＣにより駆動される液晶パネルとで液晶装置を構成すれば、画質が高くちらつきの少ない液晶表示が実現できる。また、この液晶装置は、各種電子機器の表示部として用いることができる。

【 0 0 1 9 】

本発明の他の態様に係る半導体集積回路の検査方法は、

半導体集積回路の複数のパッド端子にプローブ針をコンタクトする第 1 工程と

、
前記複数のパッド端子中の第 1 のパッド端子に接続される負荷に従って決定されるパルス幅を有するリセット信号を、前記半導体集積回路内のリセット信号生成回路にて生成する第 2 工程と、

初期化回路を有する少なくとも一つのラッチ回路にて、前記リセット信号に基づいてラッチ出力を前記初期化回路により初期化する第 3 工程と、

前記複数のパッド中の第 2 のパッドを介して、前記初期化回路の出力電圧をモニタする第 4 工程と、

を有することを特徴とする。

【 0 0 2 0 】

本発明方法においても、本発明装置の検査時での作用と同様にして、初期化回路が初期化動作に要する時間よりもリセット期間を長く設定することができる。

【 0 0 2 1 】

初期化されたラッチ出力に基づいて設定される基準信号（電圧、周波数など）をモニタする第 5 工程を設けることで、半導体集積回路の電気的特性を検査することができる。

【 0 0 2 2 】

さらには、この第 5 工程でのモニタ結果に基づいて、初期化回路の出力線に接続されたヒューズ素子を切断する第 6 工程をさらに設けることができる。ヒューズ素子の切断により、半導体集積回路個々のばらつきを解消するように調整することができる。

【 0 0 2 3 】

その第 6 工程後に、切断されたヒューズ素子により変更された初期化回路の出力を、第 2 のパッド端子を介してモニタする第 7 工程をさらに設けても良い。この第 7 工程の実施により、ヒューズ素子が切断されたか否かを判定できる。

【 0 0 2 4 】

ここで、第 5 工程にてモニタされる基準信号は、液晶ドライバ IC の場合では、複数レベルの液晶駆動電圧を生成するための基準となる電圧、あるいは液晶を交流駆動するための交流化信号とすることができる。

【 0 0 2 5 】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

【 0 0 2 6 】

<第 1 の実施の形態>

図 1 は、本発明の第 1 の実施の形態に係る半導体集積回路の要部を示している。図 1 に示す半導体集積回路は、リセット信号生成回路 1 0 とラッチ回路 2 0 とを有する。リセット信号生成回路 1 0 は、ワンショットパルス生成回路にて構成されている。このリセット信号生成回路 1 0 には、図 2 に示すように、電源投入直後に入力される入力信号（例えばパワーオンリセット信号）1 1 が入力され、図 2 に示すように所定期間 LOW となるリセット期間 T 1 を有するリセット信号 1 2 がリセット信号生成回路 1 0 より出力される。このリセット信号生成回路 1 0 は、インバータ 1 3、遅延回路 1 4 及びナンドゲート 1 5 を有する。ナンドゲート 1 5 の一方の入力端子には入力信号 1 1 が入力される。ナンドゲート 1 5 の他方の入力端子には、入力信号 1 1 がインバータ 1 3 及び遅延回路 1 5 を経由して遅延された遅延信号（図 2 参照）が入力される。よって、ナンドゲート 1 5 の出力であるリセット信号 1 2 は、図 2 に示すように、入力信号 1 1 の立ち上がりエッジから遅延信号の立ち上がりエッジまでの間に LOW となるリセット期間 T 1 を有するワンショットパルスとなる。

【 0 0 2 7 】

ラッチ回路 2 0 では、ヒューズ素子 2 2 のショートまたはオープン状態に応じた論理がラッチ出力 2 1 として得られる。このラッチ回路 2 0 は、ヒューズ素子 2 2 の他に、初期化回路として機能するナンドゲート 2 3 と、ナンドゲート 2 3 の出力線の電位を反転させてラッチ出力 2 1 を取り出すインバータ 2 4 とを有する。ナンドゲート 2 3 には、リセット信号 1 2 とラッチ出力 2 1 とが入力される。

【 0 0 2 8 】

ヒューズ素子 2 2 は、ナンドゲート 2 3 の出力線と接地との間に接続されている。このヒューズ素子 2 2 は、一般的にポリシリコンやアルミニウム等で形成されている。そして、このヒューズ素子 2 2 は、半導体集積回路固有の情報をもたせるために使用される。つまり、半導体集積回路の検査工程などにおいて、ヒューズ素子 2 2 をショート状態のままに維持させるか、あるいは、例えば高電圧によるジュール熱によりヒューズ素子 2 2 を溶断させてオープン状態とさせることができる。このように、ヒューズ素子 2 2 はショート状態とオープン状態とのいずれかの状態とすることができ、その各状態によってラッチ出力 2 1 の論理が決定される。

【 0 0 2 9 】

また、図 1 に示す半導体集積回路には、図 3 に示すように多数のパッド端子 3 0 が備えられているが、図 1 には半導体製造メーカーのみが使用する 2 つのパッド端子が図示されている。その一つは遅延制御端子（第 1 のパッド端子）3 2 であり、他の一つはヒューズ端子（第 2 のパッド端子）3 4 である。

【 0 0 3 0 】

遅延制御端子 3 2 はリセット信号生成回路 1 0 の遅延回路 1 4 の例えば出力線に接続され、ヒューズ端子 3 4 はナンドゲート 2 3 の出力線に接続されている。この遅延制御端子 3 2 及びヒューズ端子 3 4 を含む全パッド端子には、図 3 に示すように、半導体集積回路を半導体ウエハの状態で検査する際に、プローブ針 4 0 がコンタクトされる。ただし、図 1 に示す半導体集積回路を購入した顧客は、遅延制御端子 3 2 及びヒューズ端子 3 4 を使用することはない。

【 0 0 3 1 】

（通常使用時の動作）

この半導体集積回路が電子機器に搭載された後の通常使用時は、遅延制御端子 3 2 及びヒューズ端子 3 4 に接続される負荷は存在しない。この通常使用時の動作は下記の通りである。

【 0 0 3 2 】

ラッチ回路 2 0 からのラッチ出力 2 1 は、半導体集積回路への電源投入時の状

態にあっては、HIGHまたはLOWのどちらかで不定となる。そこで、電源直後に入力される例えばパワーオンリセット信号を入力信号11とすることで、ラッチ出力21を初期化している。

【0033】

入力信号11に基づいてリセット信号12がリセット信号生成回路10にて生成される。ここで、通常使用時には、遅延回路14にて入力信号11を遅延する量は、遅延回路11を構成するインバータ等の遅延素子に依存して定められる。遅延制御端子32には負荷が接続されていないからである。この通常使用時にリセット信号生成回路10より出力されるリセット信号12は、図2に示すように、LOWとなるリセット期間T1を有する。

【0034】

このリセット信号12がラッチ回路20のナンドゲート23に入力される。このとき、リセット信号12がLOWであれば、ラッチ出力21の論理に拘らず、ナンドゲート23の出力は必ずHIGHとなる。ここで、ナンドゲート23の出力電位（ヒューズ端子34の電位）は、電源投入時は不定であるが、仮にLOWであった場合には、図2に示すようにHIGHに引き上げられる。

【0035】

ヒューズ端子34の電位がLOWよりHIGHまで引き上げられるのに要する時間T2（図2参照）は、ナンドゲート23の出力インピーダンスと、ナンドゲート23の出力線に接続される寄生容量、負荷容量とにより定まる時定数 τ に依存する。通常使用時にあっては、ヒューズ端子34に負荷が接続されないので、時間T2は比較的短い。よって、リセット期間T1内に余裕をもってヒューズ端子34の電位が初期化される。

【0036】

ここで、ヒューズ素子22がオープン状態であると、ナンドゲート23の出力（HIGH）がインバータ24で反転されることで、ラッチ出力21はLOWに初期化される。この意味で、ナンドゲート23は初期化回路を構成している。この初期化後は、リセット信号12がLOWからHIGHになっても、ラッチ出力21はLOWが維持される。

【 0 0 3 7 】

一方、ヒューズ素子 2 2 がショート状態である場合には、上記とは異なり、ラッチ出力 2 1 を HIGH とする必要がある。このとき、ナンドゲート 2 3 の出力線が接地されることを利用して、インバータ 2 4 への入力を LOW とし、その反転出力であるラッチ出力 2 1 は HIGH となる。

【 0 0 3 8 】

すなわち、図 2 に示すようにリセット信号 1 2 が LOW となると、上記と同様にナンドゲート 2 3 の出力には HIGH となる。その一方で、ヒューズ素子 2 2 がショート状態であるため、ナンドゲート 2 3 の出力線はヒューズ素子 2 2 を介して接地されている。ここで、図 1 に示すように、ナンドゲート 2 3 の HIGH 出力時の出力インピーダンスを R_A とし、ヒューズ素子 2 2 の抵抗値を R_B とする。このとき、ヒューズ端子 3 4 の電圧 V_1 とナンドゲート 2 3 の出力電圧 V_2 との間には、下記の式が成立する。

【 0 0 3 9 】

$$V_1 = V_2 \cdot R_B / (R_A + R_B)$$

ここで、ヒューズ素子 2 2 の抵抗値 R_B は、その溶断を容易に行うために、数百 Ω ～ 数 K Ω である。インバータ 2 4 への入力を LOW とするためには、ナンドゲート 2 3 の出力インピーダンス R_A が、ヒューズ素子 2 2 の抵抗値 R_B よりも十分に高く設定されれば良いことが、上記式より理解される。

【 0 0 4 0 】

なお、ラッチ出力 2 1 が HIGH に初期化された後に、リセット信号 1 2 が LOW より HIGH になっても、ラッチ出力 1 2 は HIGH に保持される。

【 0 0 4 1 】

このように、電源投入時に不定であったラッチ出力 2 1 は、初期化回路であるナンドゲート 2 3 によって初期化され、ヒューズ素子 2 2 がオープン状態であれば LOW、ヒューズ素子 2 2 がショート状態であれば HIGH となる。

【 0 0 4 2 】

従って、このラッチ出力 2 1 を利用することで、ヒューズ素子 2 2 のショートまたはオープン状態に応じた半導体集積回路固有の情報を設定できる。なお、こ

の詳細については後述する。

【 0 0 4 3 】

また、通常使用時のリセット期間 T_1 は、ナンドゲート 2 3 の動作時間 T_2 に合わせて比較的短く設定できる。リセット期間 T_1 が短いと、消費電力を低くできるという効果がある。なぜなら、ヒューズ素子 2 2 がショート状態のときのリセット期間 T_1 では、電源→ナンドゲート 2 3 →ヒューズ素子 2 2 →グランドという電流経路が生ずるからである。さらに、リセット期間 T_1 が短くて済むので、遅延回路 1 4 の回路規模を大きくする必要はなく、その専有面積が少なくて済むという利点もある。

【 0 0 4 4 】

(半導体集積回路の検査工程)

半導体集積回路は、半導体ウエハ上に搭載されて未だ分断されない状態にて、プローブ装置によりその電気的特性が検査される。このとき、図 3 に示すように、半導体集積回路の全パッド端子 3 0, 3 2, 3 4 … にプローブ針 4 0 がコンタクトされる。

【 0 0 4 5 】

この各プローブ針 4 0 には、ケーブル等の長い配線経路を介してテスターに接続されている。よって、遅延制御端子 3 2 及びヒューズ端子 3 4 には、上述の通常使用時とは異なり、大きな負荷が接続されることになる。この負荷とは、プローブ針及びケーブルの配線容量、テスターの入出力寄生容量などである。

【 0 0 4 6 】

ここで、ヒューズ端子 3 4 に接続される負荷により、ラッチ回路 2 0 での動作時間がより多く必要となる。このため、通常使用時に用いた図 2 に示すリセット期間 T_1 内では、ラッチ回路 2 0 での動作が終了しなくなってしまう。

【 0 0 4 7 】

ここで、ナンドゲート 2 3 の出力インピーダンス R_A は、上述した理由により、ヒューズ素子 2 2 の抵抗値 R_B よりも十分に高く設定されている。時定数 $\tau = C$ (容量) $\times R$ (抵抗値) で表されるが、この時定数 τ のうち抵抗値 (出力インピーダンス R_A) の値が大きいと、容量 (C) が変化することで、時定数 τ の変

化の絶対量が大きくなる。

【0048】

よって、ナンドゲート23の出力線に、図示しない静電気保護回路の寄生容量（詳細は後述する）に加えて、ヒューズ端子34を介して負荷容量が接続されたときには、ナンドゲート23での動作時間が大幅に増加することになる。

【0049】

そこで、図1に示す半導体集積回路では、遅延回路14を構成する多段のインバータなどの遅延素子等によって設定される遅延時間に加えて、遅延制御端子32に付加された寄生容量、負荷容量によって定まる遅延時間を上乘せし、リセット信号12のリセット期間を、図4に示す期間T3とし、図2に示す期間T1よりも長く設定している。

【0050】

図4は、ヒューズ素子22がオープン状態であった時のラッチ出力21の初期化動作を示すタイミングチャートである。

【0051】

図4に示すように、遅延制御端子32にプローブ針40がコンタクトされた状態では、入力信号11がHIGHとなった後にLOWとなるリセット信号12のリセット期間T3は、図2に示すリセット期間T1より長くなる。

【0052】

一方、ヒューズ端子34にプローブ針40がコンタクトされた状態では、図4に示すように、電源投入時のヒューズ端子34の不定電位であるLOWから、ナンドゲート23の動作によってHIGHに引き上げるまでに要する時間をT4とする。この時間T4は、図2に示す通常使用時の対応する時間T2よりも長くなる。

【0053】

しかし、本実施の形態では、リセット期間T3をラッチ回路20の動作時間T4よりも長く設定している。このため、リセット期間T3内にヒューズ端子34の不定電位LOWをHIGHまで引き上げることができる。

【0054】

同様に、ナンドゲート 2 3 の出力をインバータ 2 4 により反転することで得られるラッチ出力 2 1 を、リセット期間 T 3 内にて不定電位 HIGH より LOW に初期化することが可能となる。

【 0 0 5 5 】

従って、本実施の形態では、通常使用時にリセット期間 T 1 を必要最低限に設定すれば、半導体集積回路の検査工程においてヒューズ端子 3 4 にプローブ針 4 0、ケーブル及びテスターなどの負荷容量が付加されても、ラッチ回路 2 0 を安定して動作させることができる。

【 0 0 5 6 】

(パッド端子に接続される容量等について)

まず、寄生容量について説明する。半導体集積回路は極めて微細なルールで製造されているため、外部からの静電気に対する保護回路が必須である。図 5 は、G C D (Gate Controlled Diode) を用いた静電気保護回路の一例を示している。図 3 に示すパッド端子 3 0、3 2、3 4 等には、図 5 に示すように、高濃度の拡散層などにて形成される保護抵抗 5 0、5 2 と、十分な静電気耐圧を得るために一般に数百 μ m 程度の広いゲート幅を有する保護トランジスタ 5 4、5 6 が接続される。

【 0 0 5 7 】

ここで、保護トランジスタ 5 4、5 6 の寄生容量 C (シリコン上の半導体でのジャンクション容量) は、下記の式にて算出される。

【 0 0 5 8 】

【数 1】

$$C = \sqrt{\frac{\epsilon_{si} \cdot \epsilon \cdot q \cdot N_D}{2 (V_A + V_B)}}$$

【 0 0 5 9 】

ここで、 ϵ_{si} : シリコン (S i) の比誘電率

ϵ : 真空中の比誘電率

q : 電荷量

N_D : アクセプタの濃度

V_A : 接合間の仕事関数差

V_B : バイアス

この式に基づいて寄生容量 C を算出する。まず、3 V印加時における単位面積あたりの容量 C は一般に $0.01 \sim 0.05 \text{ pF} / \text{mm}^2$ 程度となる。 $W = 500 \mu\text{m}$ である保護トランジスタの寄生容量 C は、ドレイン面積を $500 \mu\text{m} \times 3 \mu\text{m}$ と仮定すれば、約 $0.01 \sim 0.05 \text{ pF}$ となる。

【0060】

この寄生容量 C の値は半導体集積回路の製造工程のばらつき等により変動するものである。よって、半導体集積回路を $10 \sim 100 \text{ MHz}$ の高速で動作させる場合、つまりリセット信号12のパルス幅が数十 $\text{ns} \sim$ 数百 ns である場合、この寄生容量 C が時定数として無視できなくなる。さらに、近年は半導体プロセスの微細化が進んでいるため、静電気保護回路に求められる耐圧がより高くなり、寄生容量 C も大きくならざるを得ない。

【0061】

図6は、ダイオード60、62を用いた静電気保護回路を示している。ダイオード60、62の面積は数百 μm^2 となり、図5の静電気保護回路の場合と同様に、高速動作の際の寄生容量 C が無視できない。

【0062】

次に、パッド端子30、32、34に接続される負荷容量について説明する。半導体集積回路の電氣的測定に必要なパッド端子30、32は、その検査工程時にプローブ針40、ケーブルなどを介してLSIテスターに接続される。LSIテスターの入出力容量は、一般的に $10 \text{ pF} \sim 100 \text{ pF}$ となり、これが負荷容量となる。

【0063】

ラッチ出力20を検査時に動作させる際には、この大きな負荷容量に起因して、上述した通り動作時間が長くなるのである。そこで、本実施の形態では遅延制御端子32を設け、検査時には遅延制御端子32にもプローブ針40をコンタクトし、その遅延制御端子32に接続される負荷容量に従って、リセット信号12のリセット期間を長くしているのである。

【 0 0 6 4 】

ここで、図 1 に示す遅延回路 1 4 の出力インピーダンスを R_1 とし、遅延制御端子 3 2 に接続される負荷容量を C_1 とし、ナンドゲート 2 3 の出力インピーダンスを R_2 とし、ヒューズ端子 3 4 に接続される負荷容量を C_2 と定義する。このとき、 $C_1 \cdot R_1 > C_2 \cdot R_2$ の関係が成立すれば、検査工程時でも図 4 に示す期間 T_3 、 T_4 の関係が $T_3 > T_4$ となり、ラッチ回路 2 0 の誤動作を防止できる。

【 0 0 6 5 】

(比較例の説明)

図 7 は比較例である半導体集積回路の要部を示し、図 8 は検査時における初期化動作のタイミングチャートを示している。

【 0 0 6 6 】

図 7 に示す比較例では、図 1 と同一のリセット信号生成回路 7 0、ラッチ回路 7 2 及びヒューズ端子 7 4 を有するが、図 1 の実施形態とは異なり遅延制御端子 3 2 は設けられていない。この比較例の回路を図 3 に示すようにして検査すると、ラッチ回路 7 2 での動作時間はヒューズ端子 7 4 に接続される負荷に従って、図 8 に示すように時間 T_4 に延長される。その一方で、リセット信号 7 1 のリセット期間 T_1 はリセット信号生成回路内の遅延素子によってのみ定められている。よって、電源投入時のヒューズ端子 7 4 の不定電位 LOW から、ナンドゲート 2 3 の動作によって HIGH に引き上げるまでに要する時間 T_4 の方が、図 8 に示すリセット期間 T_1 よりも長くなる。このため、図 8 に示すように、ヒューズ端子 7 4 の不定電位 LOW が初期化されず、不定電位 LOW を維持することになってしまう。結果として、ラッチ出力 7 3 も、ヒューズ素子 7 5 がオープン状態の時に得られるべき LOW 電位とはならず、不定電位である HIGH 電位が維持されてしまう。

【 0 0 6 7 】

従って、比較例の構成によれば、ヒューズ端子 7 4 の電位及びラッチ出力 7 3 が初期化されずに不定のままとなるので、正確な電氣的測定検査を実施することができない。

【 0 0 6 8 】

これを防止するために、リセット期間 T_1 を長くすれば、検査時にラッチ回路 7 2 を安定動作させることが可能となる。しかし、このためにはリセット信号生成回路 7 0 内の遅延回路の面積を大きくせざるを得ない。さらには、通常使用時にラッチ回路 7 2 で消費される電力が増大し、携帯電話機などでは致命的な欠点が生じてしまう。

【 0 0 6 9 】

＜第 2 の実施の形態＞

図 9 は、本発明の第 2 の実施の形態に係る半導体集積回路の要部を示している。図 9 に示す半導体集積回路は、ワンショットパルス生成回路 8 0 とパルス幅可変回路 9 0 とによりリセットパルス生成回路を構成している点が、図 1 に示す回路と異なっている。よって、図 9 に示す部材のうち、図 1 と同一機能を有する部材については、図 1 と同一符号を付してその詳細な説明を省略する。

【 0 0 7 0 】

図 9 に示すワンショットパルス生成回路 8 0 は、図 1 に示すリセット信号生成回路 1 0 と同一の回路素子からなり、インバータ 8 2、遅延回路 8 3 及びナンドゲート 8 4 を有する。この遅延回路 8 3 には遅延制御端子 3 2 が接続されていない。よって、図 9 に示すワンショットパルス生成回路 8 0 は、図 1 0 に示すように、入力信号 1 1 が入力されることで、パルス幅 T_A が常に一定のワンショットパルス 8 1 が生成される。

【 0 0 7 1 】

図 9 に示すパルス幅可変回路 9 0 は、ワンショットパルス 8 1 のパルス幅 T_A を、図 1 0 または図 1 1 に示すように、より広いパルス幅 T_B または T_C となるように変更したリセット信号 9 1 を生成するものである。

【 0 0 7 2 】

このパルス幅可変回路 9 0 は、インバータ 9 2、9 3 と、2 つのノアゲート 9 4、9 5 から成る RS (セット・リセット) ラッチ回路 9 6 と、遅延回路 9 7 とを有する。遅延制御端子 3 2 は、遅延回路 9 7 の出力線に接続されている。

【 0 0 7 3 】

図 1 0 は、通常使用時におけるラッチ出力の初期化動作を示し、図 1 1 は半導体集積回路の検査時におけるラッチ出力の初期化動作を示している。図 1 0 は図 2 に、図 1 1 は図 4 にそれぞれ対応している。図 1 0 及び図 1 1 では、ワンショットパルス 8 1 のパルス幅 T_A は共に等しいが、遅延制御端子 3 2 に接続される負荷の相違により、リセット信号のパルス幅は、図 1 0 に示すパルス幅 T_B よりも図 1 1 に示すパルス幅 T_C の方が広くなっている。よって、この第 2 の実施の形態でも、第 1 の実施の形態と同様な効果を奏することができる。

【 0 0 7 4 】

＜第 3 の実施の形態＞

この第 3 の実施の形態は、図 1 または図 9 に示すワンショットパルス生成回路 1 0, 9 0 に入力される入力信号を変更している。図 1 2 に示すように、ワンショットパルス生成回路 1 0 (9 0) の入力端子には、オアゲート 1 6 の出力線が接続されている。このオアゲート 1 6 には、パワーオンリセット信号 1 7 と、他の信号 1 8 とが入力される。

【 0 0 7 5 】

パワーオンリセット信号 1 7 が HIGH になれば、オアゲート 1 6 の出力が HIGH となり、上述した第 1, 第 2 の実施の形態にて説明した入力信号 1 1 が得られる。

【 0 0 7 6 】

この第 3 の実施の形態では、オアゲート 1 6 に入力される他の信号 1 8 を HIGH とすることで、ラッチ出力を複数回に亘って初期化するものである。

【 0 0 7 7 】

図 1, 図 9 に示すワンショットパルス生成回路 1 0, 9 0 は、パワーオンリセット信号によってのみワンショットパルスを生成するので、電源投入直後に 1 回しかラッチ出力の初期化ができない。

【 0 0 7 8 】

しかし、この半導体集積回路は、ヒューズ端子 3 4 から回り込んだ静電気などのノイズの影響を受けやすい。このノイズによってラッチ回路が誤動作して、初期化されたラッチデータが変わってしまうと、機器の誤動作を招いてしまう。こ

の誤動作は、電源を再投入してパワーオンリセット信号をアクティブにしない限り解消できない。

【 0 0 7 9 】

そこで、第 3 の実施の形態では、電源投入後から電源切断に至るまで、定期的または不定期にラッチ出力の初期化を複数回実施するものである。

【 0 0 8 0 】

他の信号としては、図 1 または図 9 に示す半導体集積回路に接続されたマイクロコントローラが稼動している間に、そのマイクロコントローラから出力される信号を利用できる。例えば、図 1 または図 9 に示す半導体集積回路内にメモリが内蔵されている場合、他の信号 1 8 として、ライト信号、リード信号等を用いることができる。あるいは、他の信号 1 8 としてテストモード解除信号を利用しても良い。これらの各信号は、マイクロコンピュータの稼動期間にある頻度でアクティブとなるので、その頻度でラッチ出力を初期化することができる。

【 0 0 8 1 】

なお、パワーオンリセット信号 1 7 及び他の信号 1 8 がローアクティブである場合には、論理回路として、オアゲートに代えてノアゲートを用いればよい。

【 0 0 8 2 】

< 第 4 の実施の形態 >

次に、本発明に係る半導体集積回路を液晶ドライバ IC に適用し、この液晶ドライバ IC を含む液晶装置が搭載される電子機器を携帯電話機とした実施形態について説明する。

【 0 0 8 3 】

(液晶装置の全体概要)

本実施の形態に係る液晶装置は、図 1 3 に示す構造を有する。この液晶装置 1 0 0 は、2 枚のガラス基板 1 1 0、1 1 2 間に液晶 1 1 4 を封入した液晶パネルを有する。一方のガラス基板 1 1 0 に液晶表示ドライバ IC 1 2 0 が搭載される。このガラス基板 1 1 0 と、MPU 2 1 0 が搭載された印刷回路基板 2 0 0 とは、コネクタ（例えばゼブラゴムなどの弾性接続部材）1 3 0 により接続されている。なお、図 1 に示す液晶装置 1 0 0 は、透過型液晶装置であればバックライト

またはサイドライトが搭載されるが、反射型であれば光源は不要である。

【0084】

この液晶装置100は、図14に示すように携帯電話機300に液晶表示部102が露出するように配置される。携帯電話機300は、液晶表示部102の他、受話部310、送話部320、操作部330及びアンテナ340等を有する。そして、MPU210は、アンテナ340にて受信された情報、あるいは操作部330にて操作入力された情報に基づいて、液晶ドライバIC120にコマンドデータあるいは表示データを送出する。

【0085】

(液晶表示ドライバIC)

図15は、液晶ドライバICを示すブロック図である。図15において、この液晶ドライバIC120には、電源回路400、表示メモリ例えば表示データRAM402、表示ドライバとしてのセグメント(SEG)ドライバ404及びコモン(COM)ドライバ406、発振回路408、表示タイミング発生回路410等の液晶駆動に必要な構成が設けられている。表示データRAM402は、132本のセグメント電極SEG0～SEG131と65本のコモン電極COM0～COM64との交点に形成される画素数と同じ数(132×65個)のメモリ素子を備えている。

【0086】

液晶表示ドライバIC120にはさらに、MPUインターフェース412、コマンドデコーダ414、内部バス416が設けられている。コマンドデコーダ414にてデコードされたコマンドデータは、電源回路400、表示タイミング発生回路410の動作コマンドとして用いられる他、表示データRAM402に接続されたページ・アドレス回路420、カラムアドレス回路422、ラインアドレス回路424の各アドレス指定に用いられる。

【0087】

一方、パラレルの表示データは、内部バス416、表示データRAM402のI/Oバッファ426を介して、コマンドにより指定されたページ及びカラムの各アドレスに従って表示データRAM402内のメモリ素子に書き込まれる。

【 0 0 8 8 】

表示データRAM402は、液晶表示部のフィールドメモリまたはフレームメモリとして機能する。表示データRAM402に書き込まれた表示データは、表示タイミング発生回路410からのタイミング信号に従ってアドレス指定されて読み出され、表示データ・ラッチ回路428にてラッチされる。表示データ・ラッチ回路428にてラッチされた表示データは、セグメント（SEG）ドライバ404にて、液晶駆動に必要な例えば5レベルの電位V1～V5に変換され、液晶表示部のセグメント電極SEG0～SEG131に供給される。

【 0 0 8 9 】

このセグメント電極SEG0～SEG131への電位供給を、表示タイミング発振回路410からのタイミング信号に基づいて、コモン（COM）ドライバ406を介してコモン電極COM0～COM64の選択を切り換えながら実施することで、液晶表示部が表示駆動される。

【 0 0 9 0 】

この液晶ドライバIC120には検査回路430が設けられている。この検査回路430は、検査モード時に電源回路400及び表示タイミング発生回路410等に検査に必要な信号（例えば入力信号11など）を送出する。さらに検査回路430は、各回路400、410からの出力をMPUインターフェース412を介して外部に取り出すことで、その出力のモニタを可能とする。

【 0 0 9 1 】

図1または図9に示した回路は、図15に示す液晶表示ドライバIC120内の電源回路400及び表示タイミング発生回路410等に設けることができる。

【 0 0 9 2 】

この電源回路400、表示タイミング発生回路410に設けられるリセット信号生成回路及びラッチ回路の一例を、図16、図17にそれぞれ示す。

【 0 0 9 3 】

図16では、図1に示した一つのリセット信号生成回路10からのリセット信号12がそれぞれ入力される、複数例えば4つのラッチ回路20A～20Dが示されている。ラッチ回路20A～20Dにそれぞれ設けられたヒューズ素子22

をショートまたはオープン状態とすることで、 $2^4 = 16$ 通りの組み合わせのラッチデータを生成できる。

【0094】

図16ではさらに、液晶基準電圧生成回路500、IC基準電圧生成回路502及び液晶駆動電圧生成回路504が示されている。

【0095】

液晶基準電圧生成回路500は、4つのラッチ回路20A～20Dからの4ビットのラッチ出力21A～21Dと、IC基準電圧生成回路502からのIC基準電圧とに基づいて、液晶基準電圧V_{ref}を生成するものである。液晶駆動電圧生成回路504は、液晶基準電圧V_{ref}に基づいて、複数レベルの液晶駆動電圧V₀ (V_{DD})～V₅を生成している。この液晶駆動電圧を生成するにあたり、抵抗分割を用いても良いし、チャージポンプ方式の昇圧回路を用いても良い。

【0096】

図17は、液晶を交流駆動するための交流化信号FRを調整する回路を示している。この図17に示す回路は、表示タイミング発生回路410内に設けられる。

【0097】

図17において、交流化信号生成回路510は、4つのラッチ回路20A～20Dからの4ビットのラッチ出力21A～21Dに基づいて発振周波数が可変であるRC発振回路にて構成される。

【0098】

ここで、液晶基準電圧V_{ref}及び交流化信号FRを調整可能とする理由は下記の通りである。

【0099】

まず、液晶基準電圧V_{ref}について言えば、その元になるIC基準電圧のばらつきが±8～10%と高くなっている。その一方で、液晶基準電圧V_{ref}に要求されるばらつきは±1%である。液晶基準電圧V_{ref}のばらつきが大きいと、液晶表示画面のコントラストが低下し、濃淡がばらつくからである。

【0100】

次に、交流化信号について言えば、その周波数として $80\text{Hz} \pm 10\%$ が要求されている。交流化信号の周波数が、蛍光灯の駆動周波数である $50/60\text{Hz}$ 程度まで下がると、液晶画面にちらつきが生ずる。逆に、 $100/120\text{Hz}$ 程度まで交流化信号の周波数が高くなると、フリッカが生じ、しかも消費電力が増大してしまう。

【0101】

ところが、RC発振回路は、容量 (C) の精度は比較的高いが、抵抗値 (R) のばらつきは $\pm 15 \sim 20\%$ もあり、トランジスタ能力のばらつきも加味すると、発振出力のばらつきは $\pm 30\%$ にもなる。

【0102】

そこで、液晶基準電圧 V_{ref} 及び交流化信号 FR を共に調整する必要がある。図18は、液晶基準電圧 V_{ref} を調整する方法を示すフローチャートである。この方法は、上述した半導体集積回路の電気的特性検査の一つとして実施され、プローブ針40を液晶ドライバIC (半導体ウエハの状態である) の全パッド端子にコンタクトすることで実施される。

【0103】

図18において、ステップ1ではまず、4つのヒューズ素子22が切断されていない状態にて、4つのヒューズ端子34の電圧をモニタしておく。次に、液晶基準電圧生成回路500にて生成された液晶基準電圧 V_{ref} をモニタする (ステップ2)。この電圧は、図15に示す電源回路400より検査回路416、MPUインターフェース412を介して外部に取り出すことができる。

【0104】

ステップ3ではモニタ結果を目標値と比較し、ステップ4にてずれがある場合には、ステップ5にていずれのヒューズ素子22を切断するかを決定する。

【0105】

その後、ステップ5にて決定された1または複数のヒューズ素子22を、上述した通りの手法で切断する (ステップ6)。

【0106】

その後、切断されたヒューズ素子 2 2 と接続されたヒューズ端子 3 2 の電圧をモニタする（ステップ 7）。次に、ステップ 1, 7 でそれぞれモニタした電圧同士を比較し（ステップ 8）、ヒューズ素子 2 2 が切断されたか否かを判定する（ステップ 9）。ステップ 9 の判断が Y E S であれば、ヒューズ素子 2 2 の切断後に再度、液晶駆動基準電圧 V_{ref} をモニタする（ステップ 1 0）。そして、そのモニタ結果が目標値の範囲内であれば（ステップ 1 1 が Y E S）、液晶駆動基準電圧 V_{ref} の調整方法が終了する。

【 0 1 0 7 】

なお、交流化信号の周波数の調整方法も、図 1 8 のフローチャートと同様に実施される。

【 0 1 0 8 】

ここで、図 1 8 に示すステップ 1, 7 では、ヒューズ端子 3 4 の電圧をモニタしている。このステップ 1, 7 を実施する前には、上述したラッチ出力の初期化が実施されている。よって、ステップ 1, 7 にて実施されるヒューズ端子 3 4 の電圧モニタを正確に実施することができる。

【 0 1 0 9 】

なお、本発明は上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【 0 1 1 0 】

例えば、上述した各種の実施形態では、リセット信号生成回路はワンショットパルス生成回路を含むものであったが、入力信号自体がパルス幅を有するものであれば、パルス幅可変回路のみでリセット信号生成回路を構成できる。

【 0 1 1 1 】

また、例えば図 1 を例に挙げれば、遅延制御端子 3 2 は必ずしも遅延回路 1 4 の出力線に接続されるものに限らない。例えば、遅延回路 1 4 の入力線に接続しても良い。この場合は、その接続点の前段のインバータ 1 3 の出力インピーダンスと、遅延制御端子 3 2 に接続される負荷とが、リセット信号のリセット期間の長さを可変する要因となる。

【 0 1 1 2 】

なお、ヒューズ素子はラッチ出力の論理を決定する論理決定手段の一例であり、必ずしもヒューズ素子を用いなくても良い。

【0 1 1 3】

さらに、本発明に係る半導体集積回路は液晶表示に用いられるものに限らず、他の種々の用途の半導体集積回路に適用できる。本発明に係る電子機器も携帯電話に限らず、本発明に係る半導体集積回路または液晶装置を搭載した他の種々の電子機器に適用することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態に係る半導体集積回路の要部の回路図である。

【図 2】

図 1 に示す半導体集積回路の通常使用時の動作を説明するタイミングチャートである。

【図 3】

図 1 に示す半導体集積回路を半導体ウエハ状態にて検査する工程を説明するための平面図である。

【図 4】

図 1 に示す半導体集積回路の検査工程時の動作を説明するタイミングチャートである。

【図 5】

図 1 に示す半導体集積回路のパッド端子に接続される静電気保護回路の一例を示す回路図である。

【図 6】

図 1 に示す半導体集積回路のパッド端子に接続される静電気保護回路の他の一例を示す回路図である。

【図 7】

図 1 と比較される比較例に係る半導体集積回路の回路図である。

【図 8】

図 7 に示す半導体集積回路の検査工程時の動作を説明するタイミングチャート

である。

【図 9】

本発明の第 2 の実施の形態に係る半導体集積回路の要部の回路図である。

【図 1 0】

図 9 に示す半導体集積回路の通常使用時の動作を説明するタイミングチャートである。

【図 1 1】

図 9 に示す半導体集積回路の検査工程時の動作を説明するタイミングチャートである。

【図 1 2】

本発明の第 3 の実施の形態に係る半導体集積回路の要部を示す回路図である。

【図 1 3】

本発明の半導体集積回路が搭載される液晶装置の概略説明図である。

【図 1 4】

図 1 3 示す液晶装置が搭載される電子機器の一例である携帯電話の概略斜視図である。

【図 1 5】

図 1 3 に示す液晶装置に搭載される液晶ドライバ I C のブロック図である。

【図 1 6】

図 1 5 に示す電源回路に配置される回路を示す図である。

【図 1 7】

図 1 5 に示す発振回路に搭載される回路を示す図である。

【図 1 8】

図 1 6 に示す回路の検査時の動作手順を示すフローチャートである。

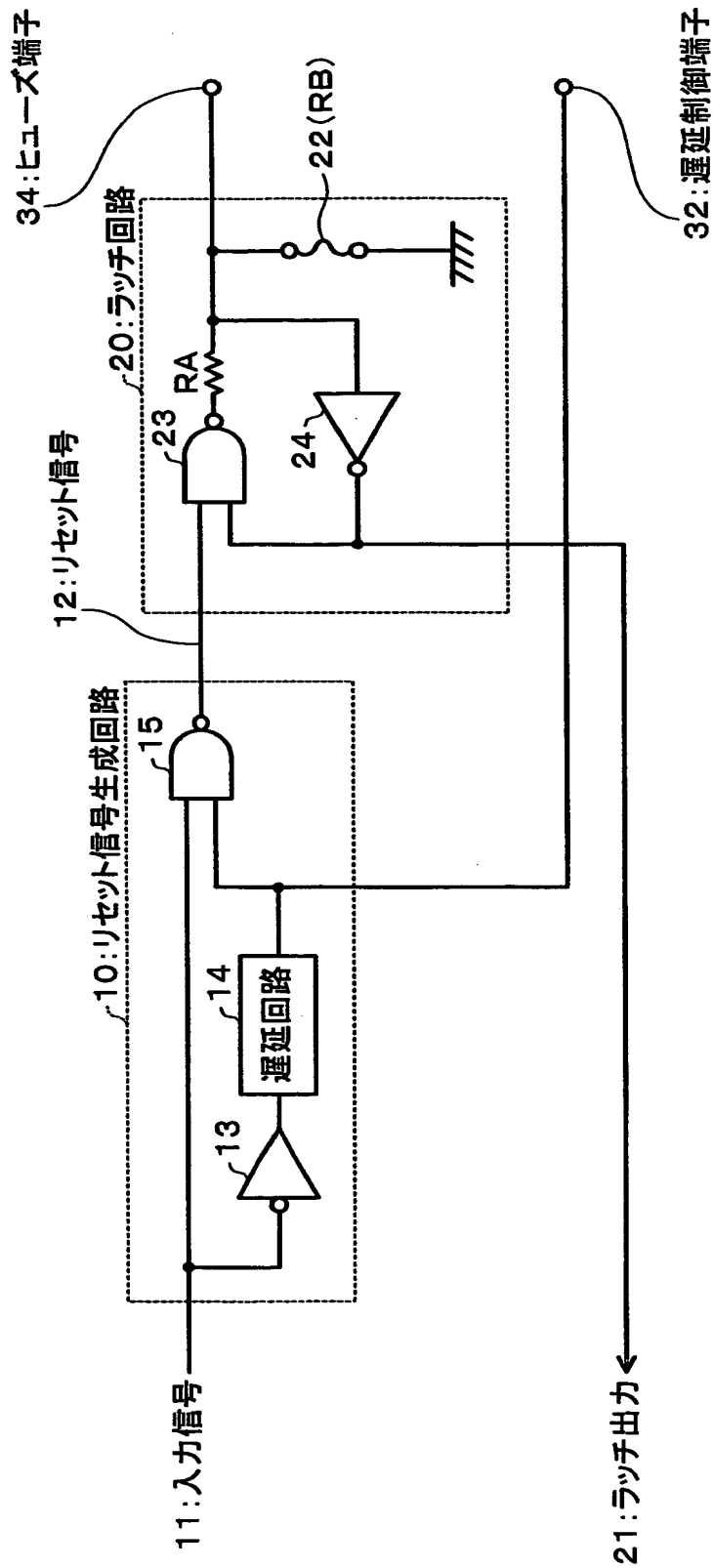
【符号の説明】

- 1 0, 7 0 リセット信号生成回路
- 1 1 入力信号
- 1 2, 7 1 リセット信号
- 1 3, 9 7 遅延回路

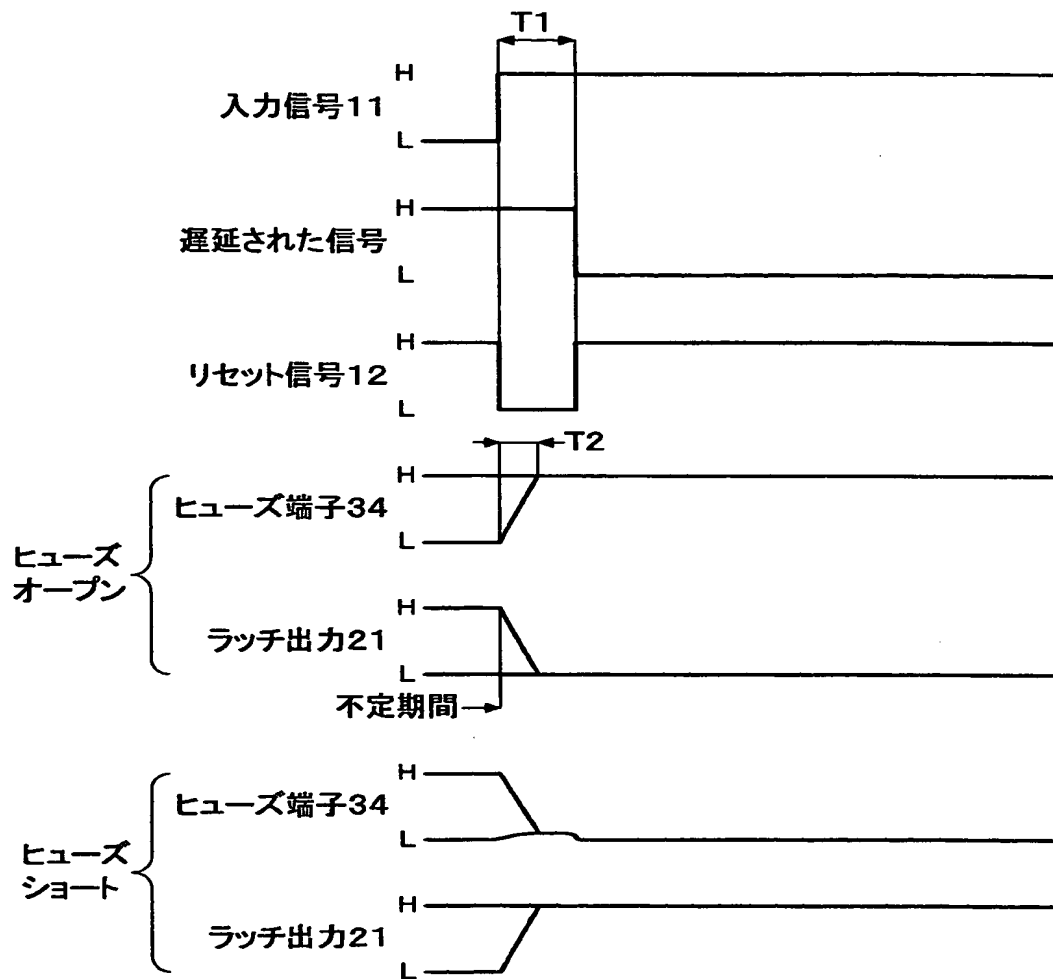
- 16 オアゲート（論理和回路）
- 17 パワーオンリセット信号
- 18 他の信号
- 20, 72, 90 ラッチ回路
- 21, 73 ラッチ出力
- 22, 75 ヒューズ素子
- 23 ナンドゲート（初期化回路）
- 32 遅延制御端子（第1のパッド端子）
- 34, 74 ヒューズ端子（第2のパッド端子）
- 40 プローブ針
- 80 ワンショットパルス生成回路
- 100 液晶装置
- 120 液晶表示ドライバIC
- 400 電源回路
- 410 表示タイミング発生回路
- 412 MPUインターフェース
- 430 検査回路

【書類名】 図面

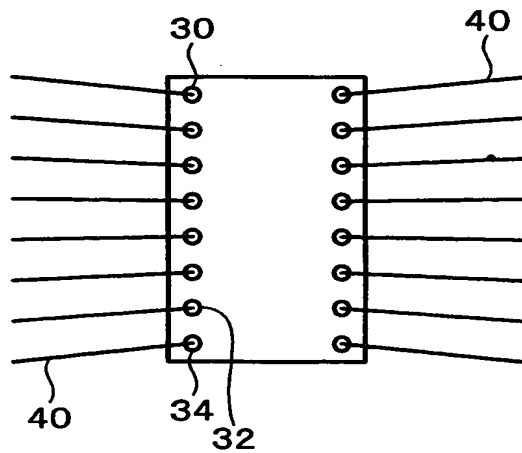
【図 1】



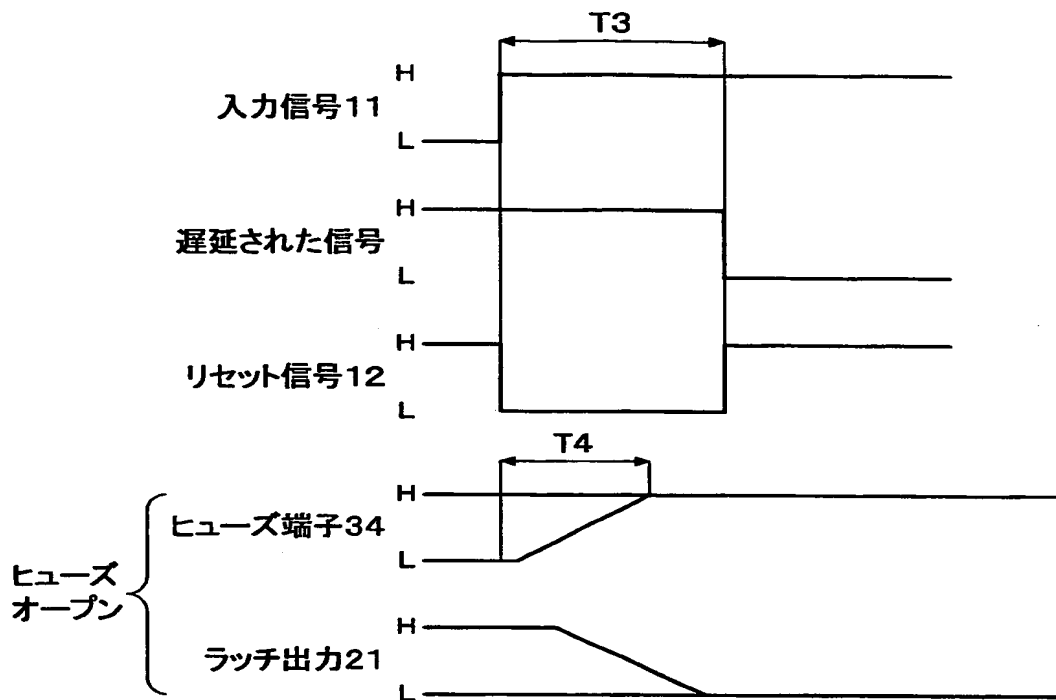
【図 2】



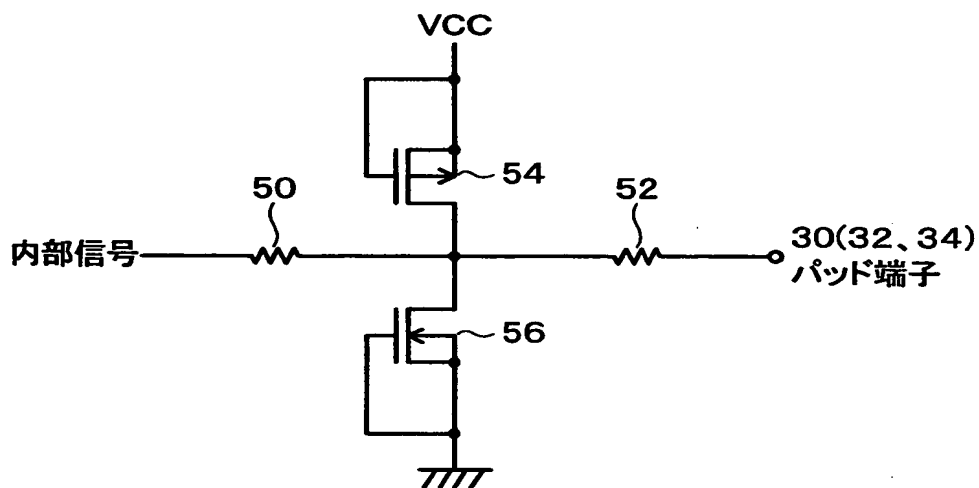
【図 3】



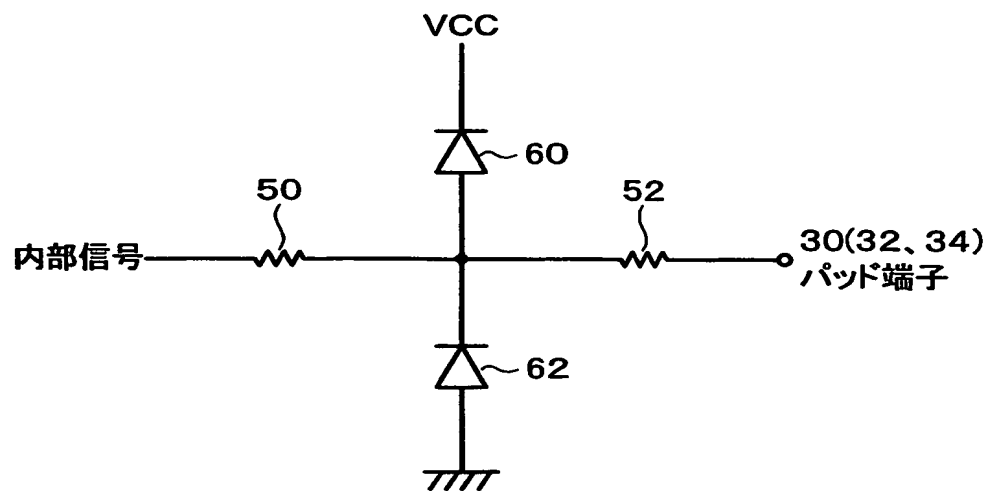
【図 4】



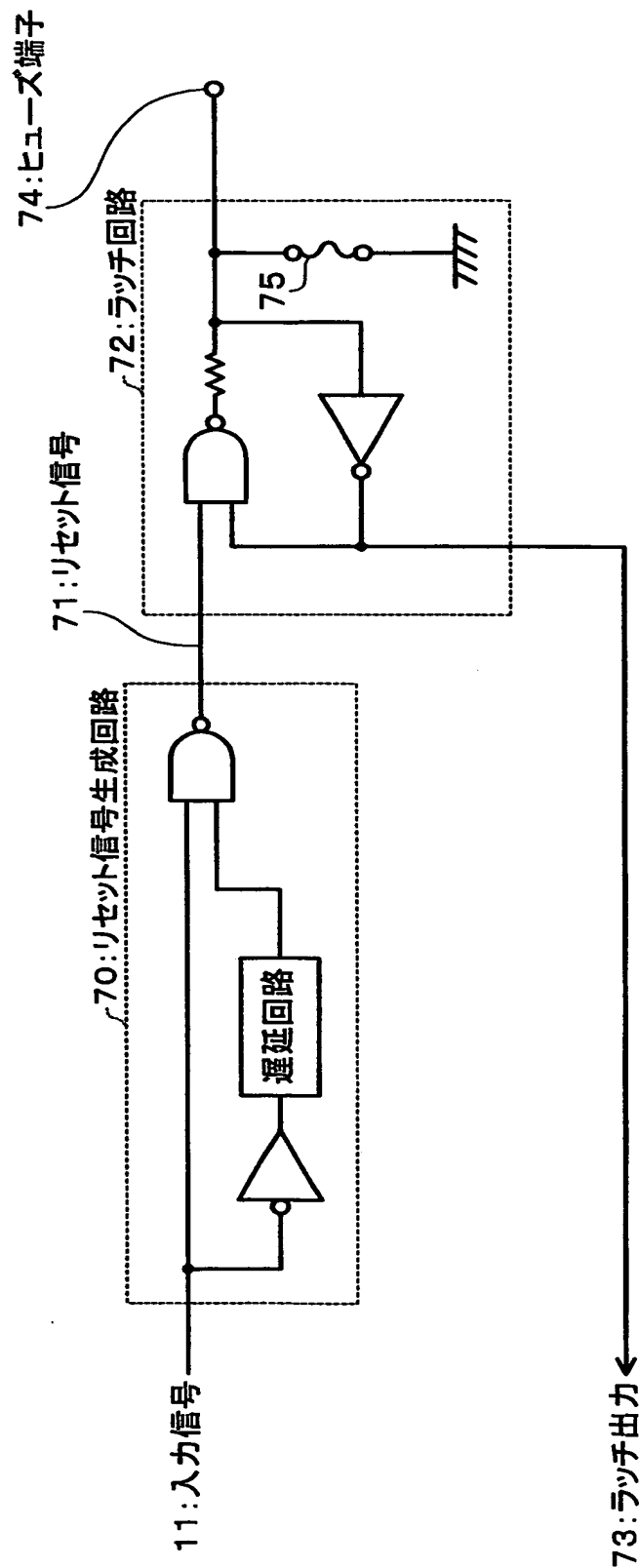
【図 5】



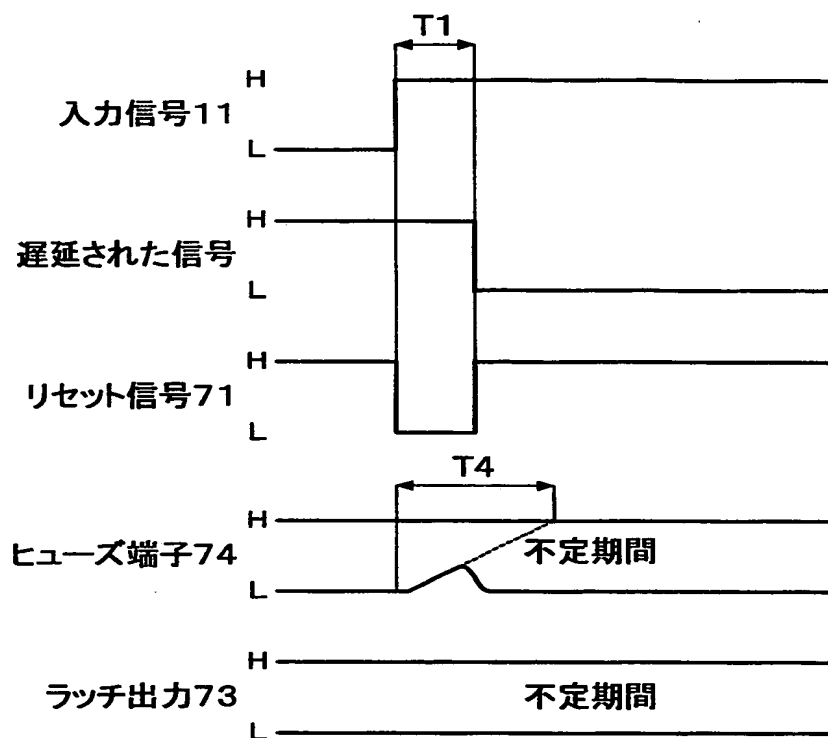
【図 6】



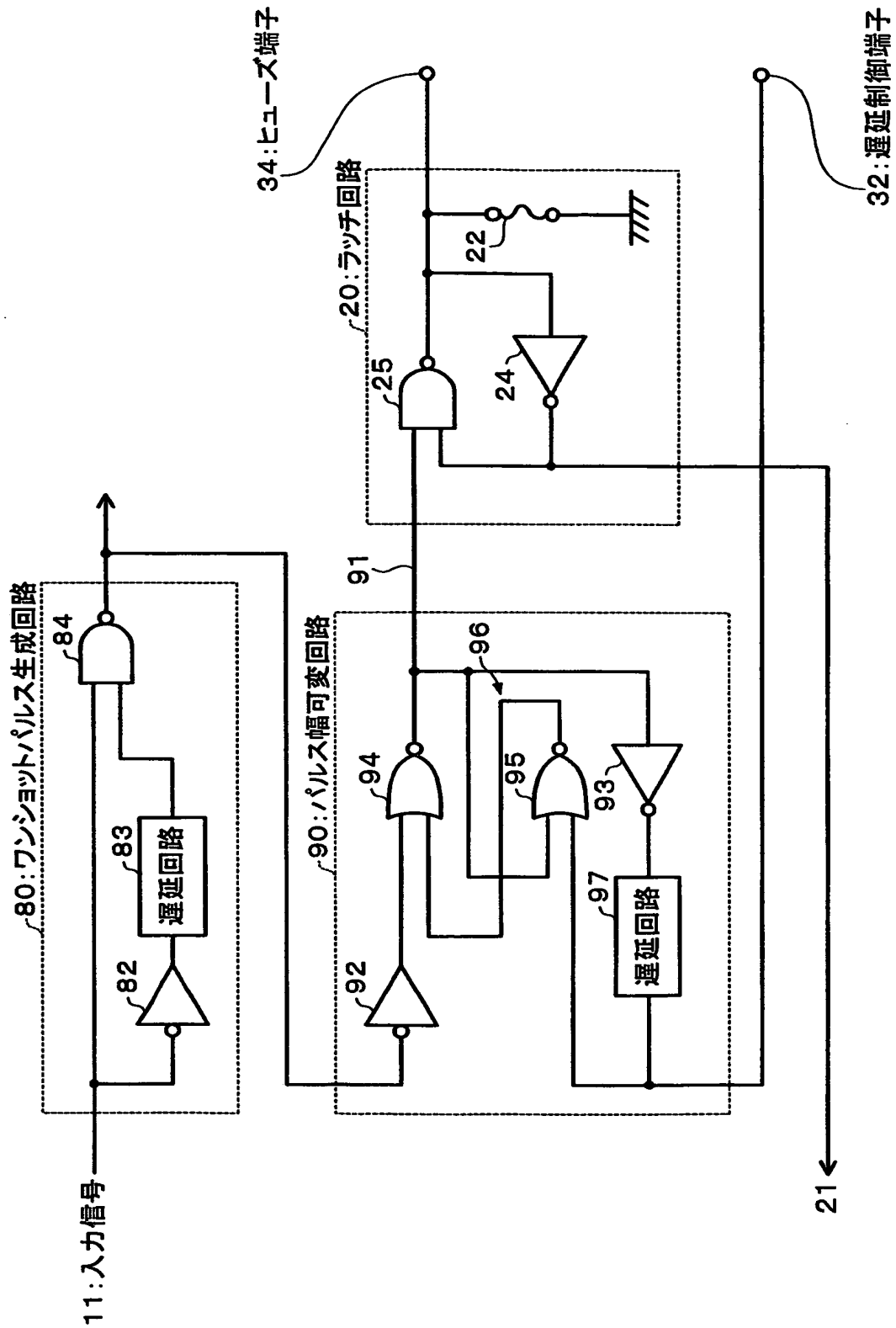
【図 7】



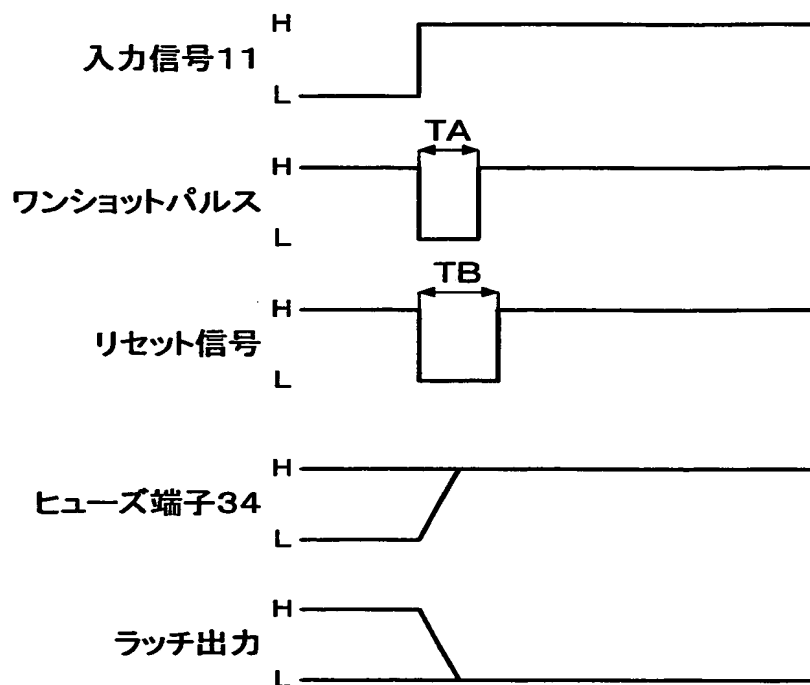
【図 8】



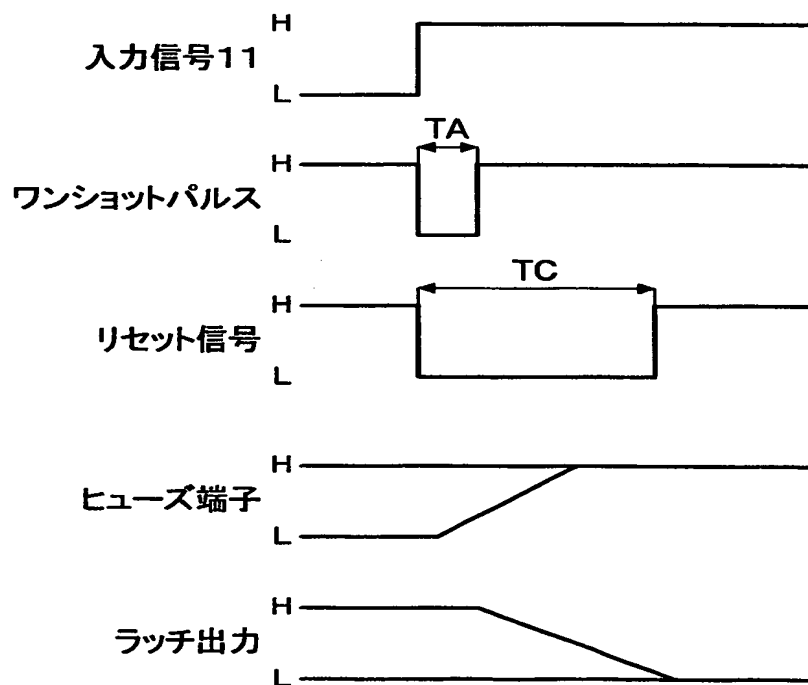
【図9】



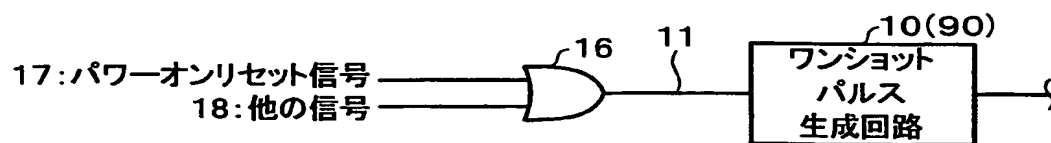
【図 1 0】



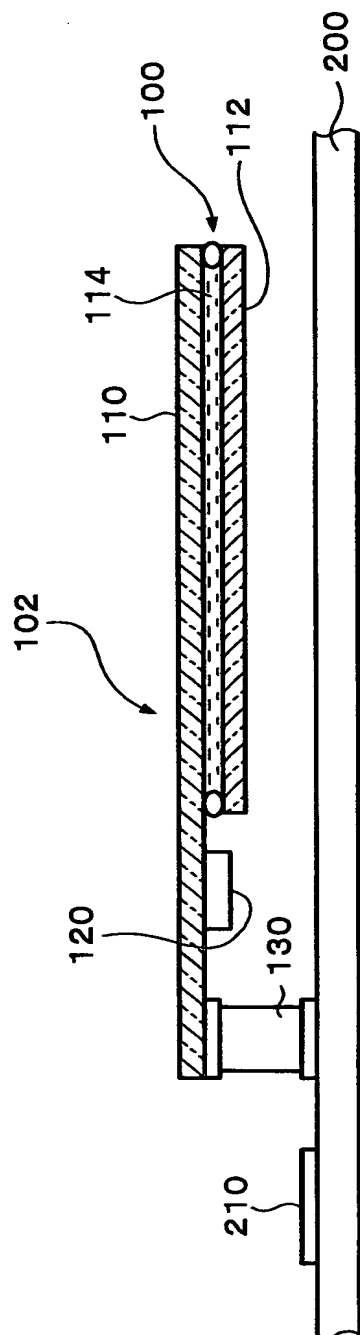
【図 1 1】



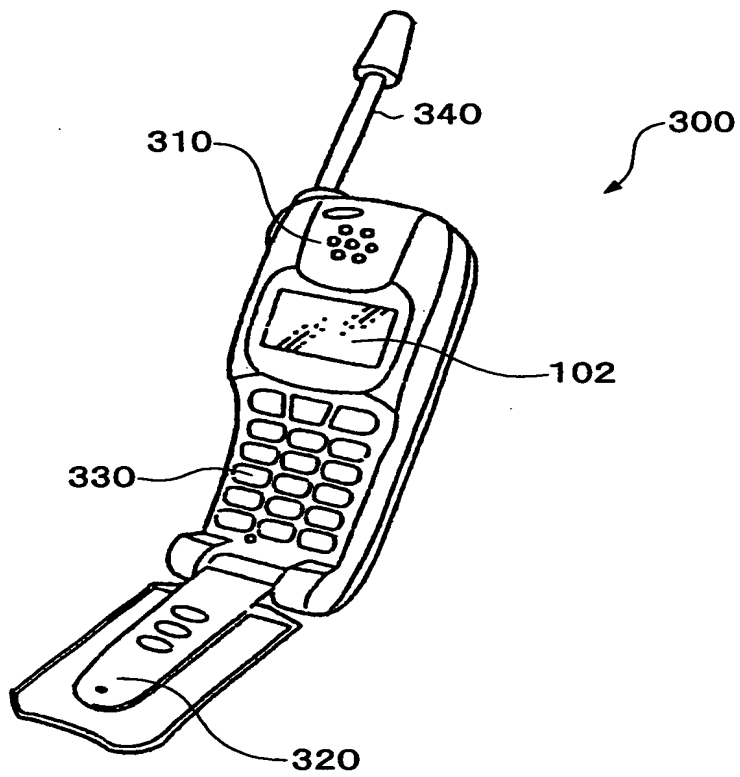
【図 1 2】



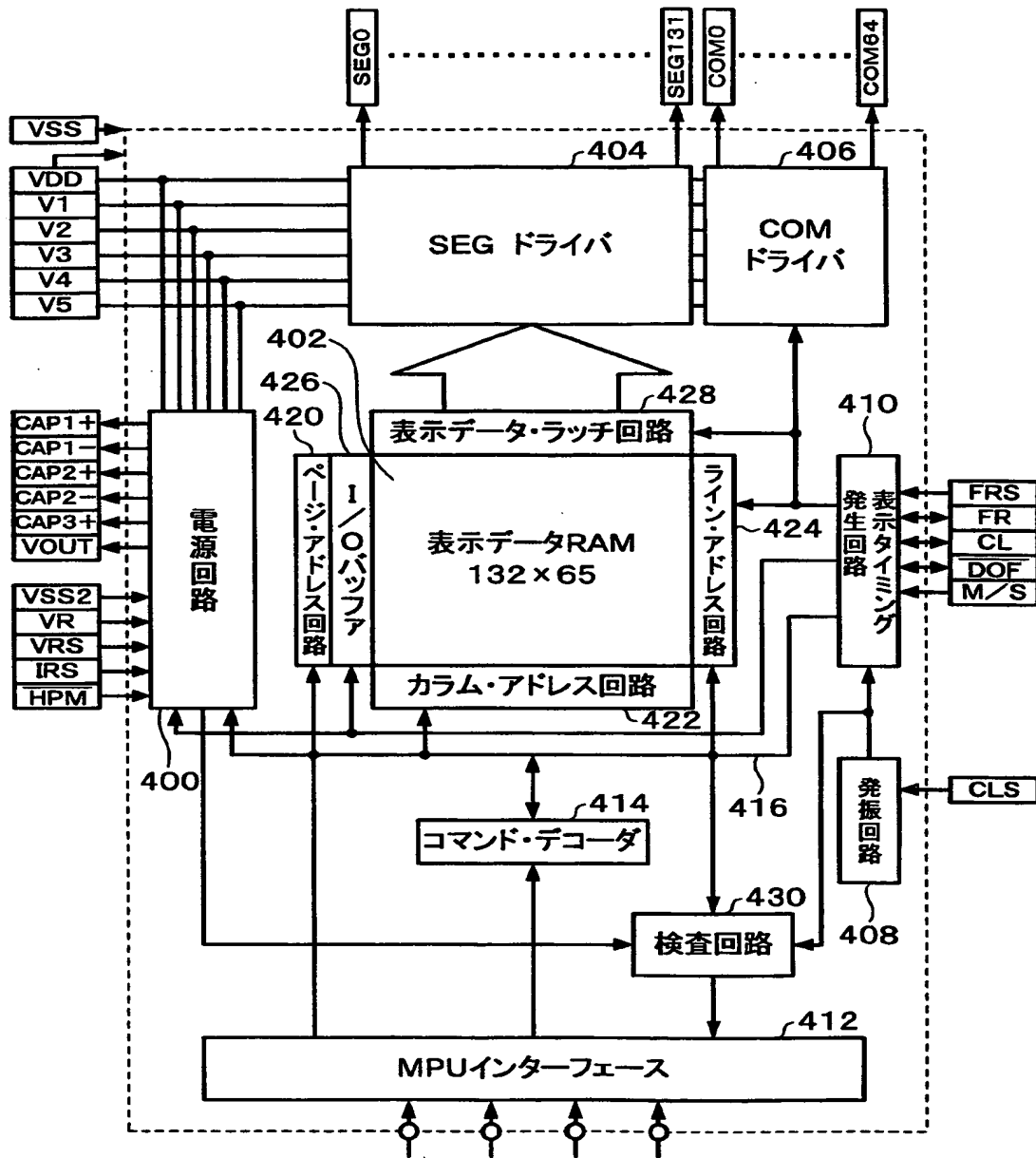
【図 1 3】



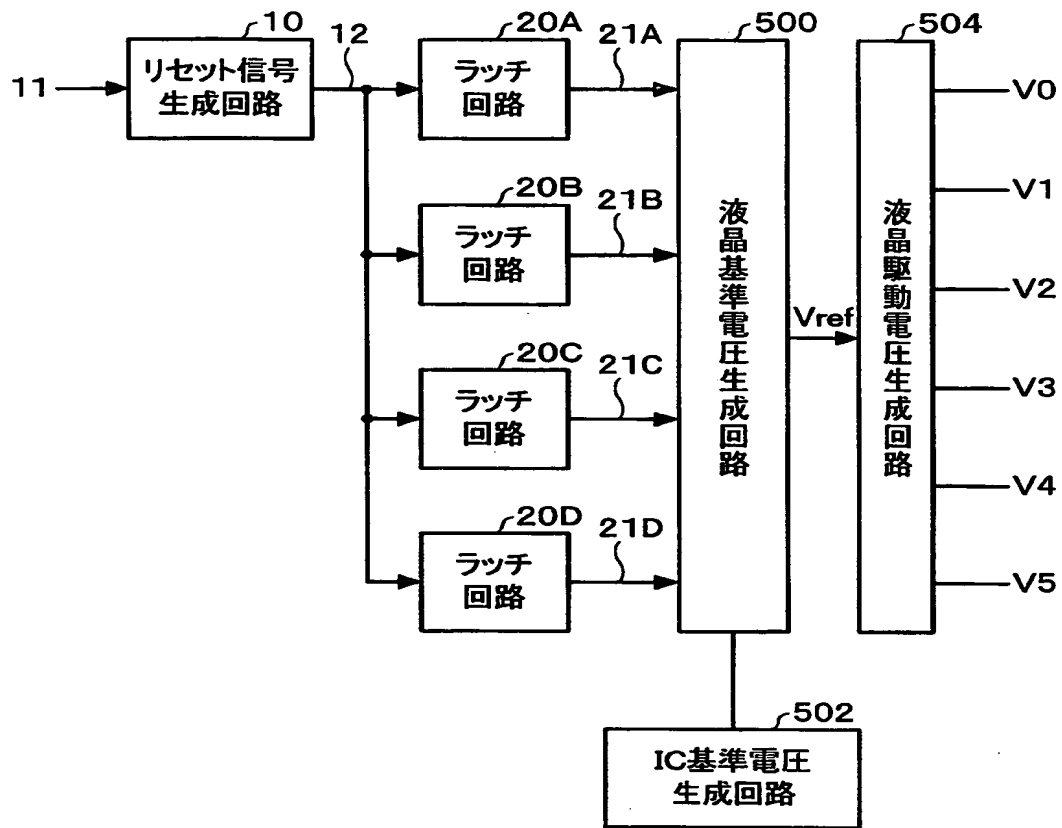
【図 1 4】



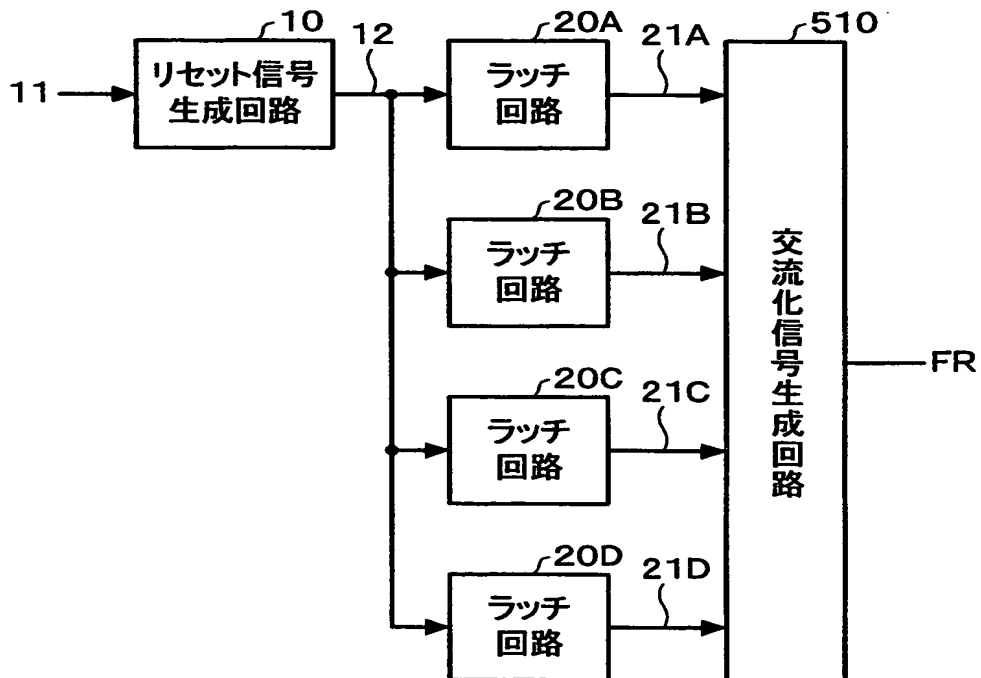
【図15】



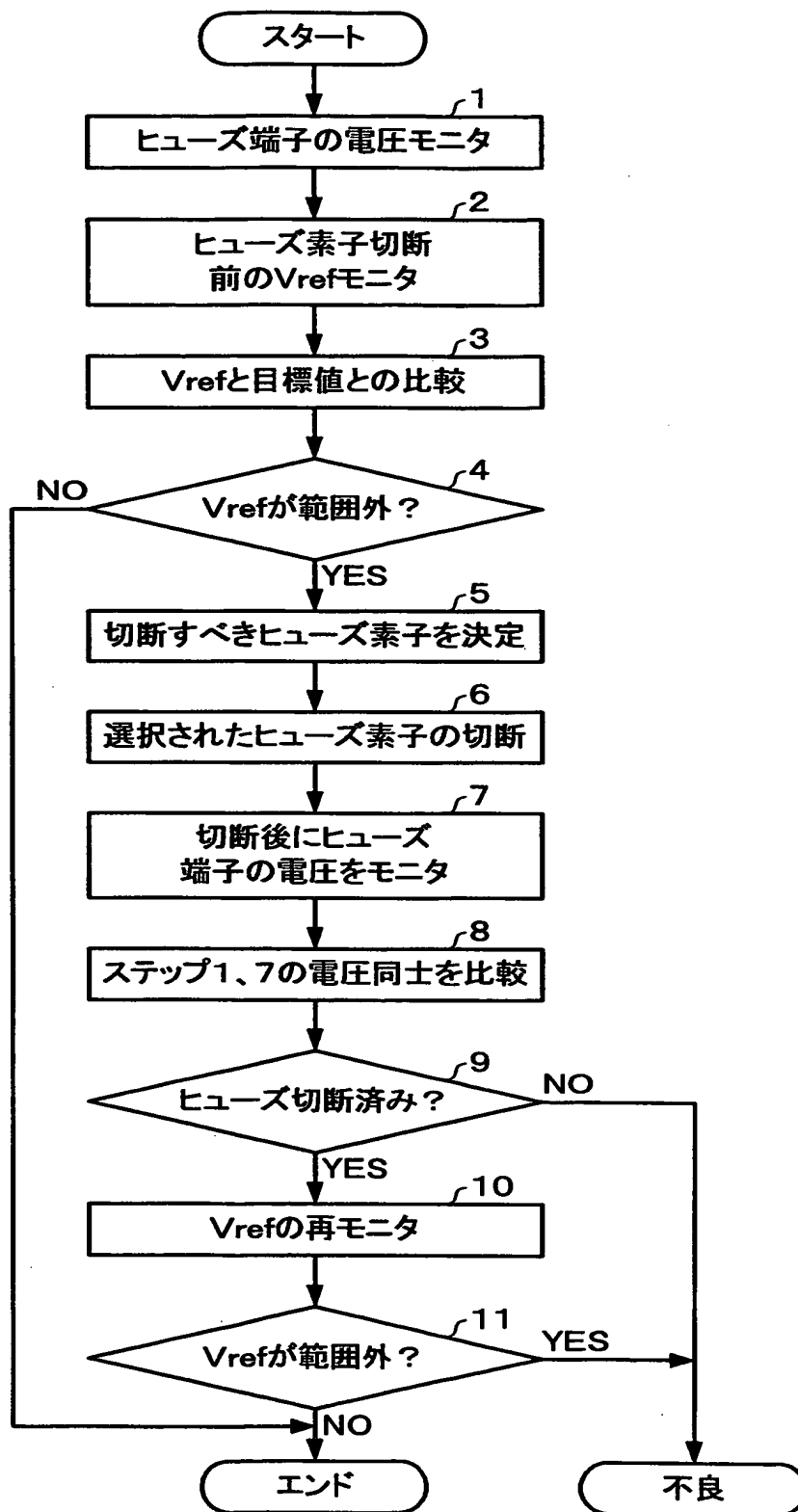
【図 1 6】



【図 1 7】



【図18】



【書類名】 要約書

【要約】

【課題】 ラッチ出力を初期化するリセット信号のパルス幅を、検査工程時は広く、通常使用時には狭くするように、パルス幅を可変とする半導体集積回路を提供すること。

【解決手段】 半導体集積回路は、パワーオンリセット信号（１１）に基づいてリセット期間を有するリセット信号（１２）を生成するリセット信号生成回路（１０）と、そのリセット信号（１２）に基づいてラッチ出力（２１）を初期化する初期化回路（２３）を備えたラッチ回路（２０）とを有する。リセット信号生成回路（１０）は、リセット信号（１２）のリセット期間に相当するパルス幅を可変設定する遅延回路（１４）を有する。遅延回路（１４）の出力線に第１のパッド端子（３２）が接続される。初期化回路（２３）の出力線には第２のパッド端子（３４）が接続される。半導体集積回路の検査時には、第１，第２のパッド（３２，３４）にプローブ針（４０）がコンタクトされる。この検査時では、第１のパッド端子（３２）に接続されるテストの入出力負荷等に従って、リセット信号（１２）のパルス幅が、プローブ針がコンタクトされない通常使用時よりも広く設定される。

【選択図】 図１

認定・付加情報

特許出願の番号	特願 2 0 0 0 - 2 1 2 6 1 8
受付番号	5 0 0 0 0 8 8 4 9 6 0
書類名	特許願
担当官	第八担当上席 0 0 9 7
作成日	平成 1 2 年 7 月 1 8 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000002369
【住所又は居所】	東京都新宿区西新宿 2 丁目 4 番 1 号
【氏名又は名称】	セイコーエプソン株式会社
【代理人】	申請人
【識別番号】	100090479
【住所又は居所】	東京都杉並区荻窪 5 丁目 2 6 番 1 3 号 荻窪 TM ビル 2 階 井上・布施合同特許事務所
【氏名又は名称】	井上 一

【選任した代理人】

【識別番号】	100090387
【住所又は居所】	東京都杉並区荻窪 5 丁目 2 6 番 1 3 号 荻窪 TM ビル 2 階 井上・布施合同特許事務所
【氏名又は名称】	布施 行夫

【選任した代理人】

【識別番号】	100090398
【住所又は居所】	東京都杉並区荻窪 5 丁目 2 6 番 1 3 号 荻窪 TM ビル 2 階 井上・布施合同特許事務所
【氏名又は名称】	大瀧 美千栄

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日
[変更理由] 新規登録
住 所 東京都新宿区西新宿2丁目4番1号
氏 名 セイコーエプソン株式会社